



**JAPANESE PATENT OFFICE**

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000013452 A**

(43) Date of publication of application: 14.01.00

(51) Int. Cl. **H04L 25/40**  
**H04L 25/02**  
**// H03K 3/2897**  
**H03K 5/08**

(21) Application number: **11122255**  
(22) Date of filing: **28.04.99**  
(30) Priority: **04.05.98 US 98 71117**

(71) Applicant: **NORTHERN TELECOM LTD**  
(72) Inventor: **BROWN ANTHONY K DALE**

**(54) DATA PULSE DETECTING METHOD AND DATA PULSE RECEIVER**

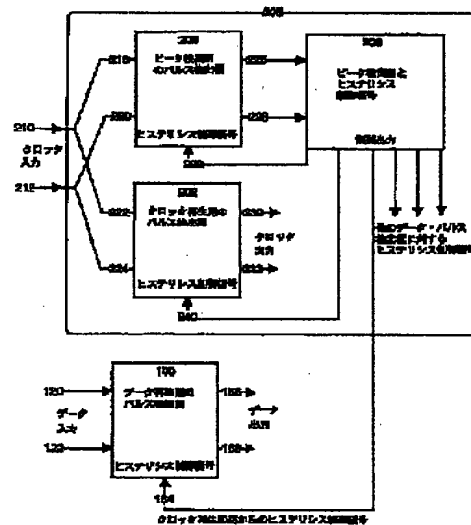
driven at a low speed on a specific hysteresis level.

COPYRIGHT: (C)2000,JPO

(57) Abstract

**PROBLEM TO BE SOLVED:** To perform automatic hysteresis adjustment by controlling tail current based on a clock signal and continuously adjusting a data pulse detection level.

**SOLUTION:** Data pulse detectors 200 and 202 execute threshold detection depending on the value of a hysteresis control signal. A hysteresis control signal generator 208 includes a pulse detector 200 for peak detection and receives a clock signal as input. The clock signal is received by the two detectors 200 and 202. An output of the detector 200 drives a peak detector 206 and the detector 206 controls both hysteresis levels of the detectors 200 and 202 owing to feedback. As a result, the hysteresis level of the detector 200 is adjusted so as to sufficiently monitor the peak amplitude of the clock signal. Also, the detector 206 has another output which sets another pulse detector to be



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-13452

(P2000-13452A)

(43) 公開日 平成12年1月14日 (2000.1.14)

(51) IntCl.<sup>7</sup>

識別記号

F I

デマコト\* (参考)

H 0 4 L 25/40

H 0 4 L 25/40

C

25/02

25/02

R

3 0 1

3 0 1 B

// H 0 3 K 3/2897

H 0 3 K 5/08

J

5/08

3/295

A

審査請求 未請求 請求項の数18 O L (全 12 頁)

(21) 出願番号 特願平11-122255

(71) 出願人 390023157

(22) 出願日 平成11年4月28日 (1999.4.28)

ノーテル・ネットワークス・コーポレーション

(31) 優先権主張番号 09/071117

NORTEL NETWORKS CORPORATION

(32) 優先日 平成10年5月4日 (1998.5.4)

カナダ国, エイチ2ワイ 3ワイ4, ケベック, モントリオール, エスティ. アントイン ストリート ウェスト 380 ワールドトレードセンタ オブ モントリオール 8フロア

(33) 優先権主張国 米国 (US)

(74) 代理人 100097216

弁理士 泉 和人

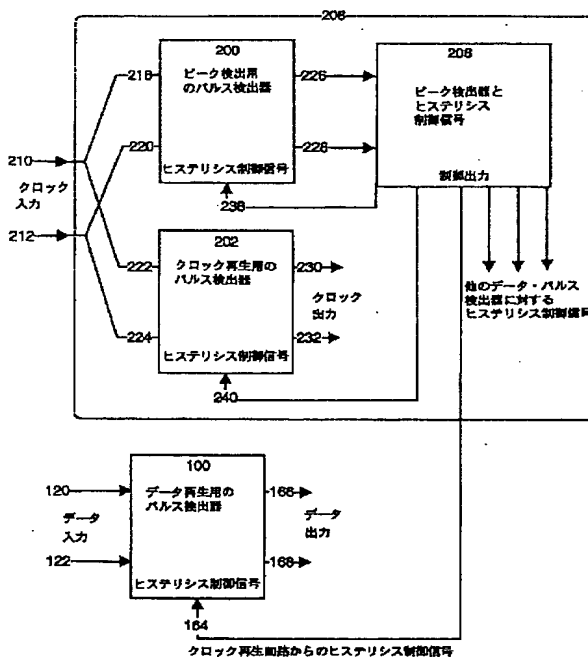
最終頁に続く

(54) 【発明の名称】 データ・パルス検出方法およびデータ・パルス受信機

(57) 【要約】

【課題】 自動ヒステリシス調整が可能なデータ・パルス受信機を提供する。

【解決手段】 本発明のデータとクロック・チャネルを含む高速データ伝送媒体上で伝播するデータ信号を受信するデータ・パルス受信機は、伝送媒体のデータ・チャネルと結合されデータ・パルスを受信する第1の入力と；伝送媒体のクロック・チャネルと結合されクロック信号を受信する第2の入力と；第2の入力に結合され、クロック信号に基づいて少なくとも部分的にヒステリシス制御信号を生成するヒステリシス生成手段と；第1の入力とヒステリシス生成手段に結合され、ヒステリシス制御信号を受信し、増幅されたデータ・パルスを出力するデータ・パルス検出器とを含む。



## 【特許請求の範囲】

【請求項 1】 データとクロック・チャネルを含む高速データ伝送媒体上で伝播するデータ信号を受信するデータ・パルス受信機において：伝送媒体のデータ・チャネルと結合され、データ・パルスを受信する第 1 の入力と；伝送媒体のクロック・チャネルと結合され、クロック信号を受信する第 2 の入力と；前記第 2 の入力に結合され、クロック信号に基づいて少なくとも部分的にヒステリシス制御信号を生成するヒステリシス生成手段と；前記第 1 の入力と前記ヒステリシス生成手段に結合され、前記ヒステリシス制御信号を受信し、増幅されたデータ・パルスを出力するデータ・パルス検出器とを含むことを特徴とするデータ・パルス受信機。

【請求項 2】 請求項 1 記載のデータ・パルス受信機において：前記のヒステリシス生成手段は、前記第 2 の入力に結合され前記のクロック信号を受信するクロック・パルス検出器を含むことを特徴とするデータ・パルス受信機。

【請求項 3】 請求項 2 記載のデータ・パルス受信機において：前記のクロック・パルス検出器は、増幅されたクロック・パルスを生成する出力を含むことを特徴とするデータ・パルス受信機。

【請求項 4】 請求項 3 記載のデータ・パルス受信機において：前記のヒステリシス生成手段は、前記のクロック・パルス検出器の出力に結合された入力を含むヒステリシス制御信号生成ステージを含み、前記のヒステリシス制御信号生成ステージは、増幅されたクロック・パルスに依存して、前記のヒステリシス制御信号を生成する出力を含むことを特徴とするデータ・パルス受信機。

【請求項 5】 請求項 4 記載のデータ・パルス受信機において：前記のクロック・パルス検出器は、前記のヒステリシス制御信号生成ステージの出力と結合したヒステリシス制御信号を受信する入力を含むことを特徴とするデータ・パルス受信機。

【請求項 6】 請求項 4 記載のデータ・パルス受信機において：前記のヒステリシス制御信号生成ステージは、複数のヒステリシス制御信号を生成する複数の出力を含むことを特徴とするデータ・パルス受信機。

【請求項 7】 請求項 6 記載のデータ・パルス受信機において：前記複数のヒステリシス制御信号は、ヒステリシス制御の異なるレベルに影響を与える異なる物理的な特性を持つことを特徴とするデータ・パルス受信機。

【請求項 8】 請求項 7 記載のデータ・パルス受信機において：前記の受信機は、前記のクロック・パルス検出器以外のパルス検出器を含み、クロック信号を受信し、再生され増幅されたクロック信号を出力することを特徴とするデータ・パルス受信機。

【請求項 9】 請求項 8 記載のデータ・パルス受信機において：前記のクロック・パルス検出器以外の前記のパルス検出器は、複数のヒステリシス制御信号のうちの 1

つを受信する入力を含むことを特徴とするデータ・パルス受信機。

【請求項 10】 請求項 1 記載のデータ・パルス受信機において：前記のデータ・パルス検出器は、フリップフロップ回路を含むことを特徴とするデータ・パルス受信機。

【請求項 11】 請求項 11 記載のデータ・パルス受信機において：前記のフリップフロップ回路は、トランジスタ対を含むことを特徴とするデータ・パルス受信機。

【請求項 12】 請求項 10 記載のデータ・パルス受信機において：前記のヒステリシス制御信号は、前記のフリップフロップに印加されることを特徴とするデータ・パルス受信機。

【請求項 13】 請求項 11 記載のデータ・パルス受信機において：前記のヒステリシス制御信号は、前記のトランジスタを通過する電流信号であることを特徴とするデータ・パルス受信機。

【請求項 14】 請求項 1 記載のデータ・パルス受信機において：前記第 1 の入力は、第 1 の信号受信ポイントと第 2 の信号受信ポイントとを含み、前記の信号受信ポイントは、データ・パルスを運ぶ差動信号を受信することを特徴とするデータ・パルス受信機。

【請求項 15】 請求項 14 記載のデータ・パルス受信機において：前記第 1 の信号受信ポイントは、直流パスを接地するデータ・カップラに接続できることを特徴とするデータ・パルス受信機。

【請求項 16】 請求項 15 記載のデータ・パルス受信機において：前記第 2 の信号受信ポイントは、直流パスを接地しないデータ・カップラに接続できることを特徴とするデータ・パルス受信機。

【請求項 17】 データとクロック・チャネルを含む高速データ伝送媒体上で伝播するデータ信号を受信するデータ・パルス受信機で用いられるヒステリシス制御信号を生成できるパルス検出回路において：前記のパルス検出回路は、

伝送媒体のクロック・チャネルに結合されクロック信号を受信する入力と；前記入力に結合され、クロック信号に基づいて少なくとも部分的にヒステリシス制御信号を生成するためのヒステリシス生成手段とを含み、

前記のヒステリシス制御信号は、データ・パルス受信機のデータ・パルス検出器のパルス検出レベルを調整できることを特徴とするパルス検出回路。

【請求項 18】 データとクロック・チャネルを含む高速データ伝送媒体上で伝播されるデータ信号を受信する方法において：高速データ伝送媒体のデータ・チャネル上を伝播する信号中のデータ・パルスを潜在的に表す変動を感知し；高速データ伝送媒体のクロック・チャネル上を伝播するクロック信号を検出し；ヒステリシス制御信号を生成するために、検出されたクロック信号を処理し；前記のヒステリシス制御信号を用いて、前記のデー

タ・チャネル上で感知されたどの変動がデータ・パルスを表わすかを決定することを含むことを特徴とするデータ信号受信方法。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】本発明は、信号処理に関し、特に、非同期転送モード信号伝送の分野に関する。さらに詳細には、本発明は、高速データ伝送媒体上で伝播するデータ信号を受信するデータ・パルス受信機に関し、一方、伝送媒体を介して受信した分布高速データの特徴を示す実質的な信号レベル減衰を補償する方法に関する。この媒体は、データとクロック・チャネルの両方を含んでいる。ヒステリシス制御信号は、クロック信号から生成され、このデータ信号によって運搬されるデータ・パルスの検出中に、不要なノイズ信号を区別するために用いられる。

##### 【0002】

【従来の技術】情報ハイウェイの到来と通信の拡大と共に、データ伝送の質と高速化が求められている。通信分野でもコンピュータ分野でも、たとえば多重プロセッサ・コンピュータ内におけるメモリとプロセッサ間において、大量のデータをポイント・ツー・ポイントで伝送するニーズがある。多くの接続と結合されたデータ・ビットが多いため、相互接続ボトルネックが発生し、大量のデータ・ドライバが必要となり、それに伴って大量の電力が必要になってきた。

【0003】この輻輳状態を克服するために採用されている方法の1つに、多くのパラレル・ビット・ストリームを高いレートのシリアル・ビット・ストリームに多重化し、必要な電気的接続の数を減らすという方法がある。たとえばデータ信号を例えば50Mb/sから1Gb/sに結合することができる低電力の多重化および分離化回路へのニーズが多く、多くの商業的な集積回路ベンダーの関心の的になっている。それでもなお、コンピュータ業界および通信業界はさらに低電力の解決策を求めている。

【0004】通信切り換え装置内の相互接続の数を減らすために採用され、効果を上げている技術として、非接点バックプレーンが知られている。これは方向性カップリング原則に基づいた技術で、データ転送は隣接導体間で行われる。このようなカップリング・コネクタの例は、1995年7月11日にWongに対して特許されノーザン・テレコム社に譲渡された米国特許5,432,486に開示されている。このような方法は、マルチポイント接続による信号の損失なしに、受動バックプレーンを介して、ポイント対マルチポイントおよびマルチポイント対ポイントのデータ送信を可能にする。この方法では、マルチ・ギガビット/秒のシリアル・データは、データ情報がデータ変遷に含まれるような小さい比率の交流結合の形態を用いている。それによって、例え

ば、1ギガヘルツ未満の信号帯域幅を送信する要求はなくなる。このような方法では、分離化回路で受信されたデータはかなり減衰している。ピーク・ツー・ピークで70mVまたはそれより小さい信号レベルは、一般的ではない。従って、このデータを確実に受信するには、信号増幅、広帯域周波数、整合入力インピーダンス、不要ノイズ信号に対して識別化を行うヒステリシスのある形を含む特別な技術を要する。その後、結果信号は、NRZフォーマットに戻さなければならない。

【0005】同時係属中の出願であるジョン・ウィリアムソン等(John Williamson et al.)による「非接触バスに対するノイズ・キャンセル修正」(ノーザンテレコム社に譲渡)には、上述の信号に類似したかなり減衰された信号の交流結合を行う差動マイクロウェーブ・カプラが開示されている。このカプラは、バイアス、コネクタおよび他の制御されたインピーダンス不連続源によって発生した望ましくないデータ・パルスの反射をキャンセルする。この効果は、カプラの入力の構成によって供給され、その一方はアースにショートされ、他方はオープン回路になっている。この入力のオープン・ショート構成の目的は、他の入力に関して、1つの入力では好ましくない反射極性を反転させることであり、これによって、差動反射を共通モード反射に変える。しかしながら、このオープン・ショート構成の結果、カプラの出力は非整合直流特性を有するようになる。

【0006】分布型高速データの分野における他の発明に、同時係属中の2つのアメリカ特許「シリアル・マルチGb/sデータ受信機」と「マルチGb/sデータ・パルス受信機」がある。これらは両方とも、アンソニーK. D. ブラウン(Anthony K. D. Brown)によって発明され、ノーザンテレコム社に譲渡されている。これら2つのドキュメントは、シリアル・マルチGb/sデータ受信機を開示している。このシリアル・マルチGb/sデータ受信機の特徴には、広帯域周波数、整合入力インピーダンスが含まれ、特に、非常に小さい連続データ信号の自動ヒステリシス調整方法が含まれる。第2の発明「マルチGb/sデータ・パルス受信機」は、従来の受信機を改良している。これは、従来の受信機が、カプラの出力の非整合直流特性によって起こる直流バイアスの問題のために、ウィリアムソン(Williamson)が開示しているタイプのカプラに関する動作が適切でないためである。改良された受信機は、カプラに表れる直流バイアス問題に影響を受けることがなく、カプラによって生じる共通モード反射を阻止する。

【0007】従って、標準通信論理は、伝送ビット・エラー・レートが $10^{-14}$ を得るため、入力ノイズレベル対ヒステリシス・レベルが-24デシベルのオーダーのレベルになるべきであると述べている。このビット・エラー・レートを得るために、受信機のヒステリシス・レベルを調整する際には、データの信号レベルが受信機に知

られていることが必要である。信号レベルは、データ・ドライバ（電力供給、プロセスおよび温度）での変動によって変動し、伝送媒体と減衰の変動によっても変動する。よって、受信機で信号のレベルを連続的に監視することが必要となる。

【0008】

【発明が解決しようとする課題】したがって、マルチGb/s データ・パルス受信機は、連続的なデータ信号に関する自動ヒステリシス調整を行っている間、ATMスタイル・データに関するヒステリシス調整を簡単にサポートすることができないという問題がある。

【0009】非同期転送モード（ATM）は接続指向型パケット切り替え技術であり、ここで、すべてのパケットは固定長（53バイト）である。一般的には、ATMスタイルのデータは、この定義に必ずしも従うことはなく、可変長のパケットで成りたっている。しかしながら、このスタイルのデータは、バーストという性質があり、バーストのピーク・レートで送信されなければならない。このとき、バースト間の平均到着時間は、非常に長く、ランダムに分布している。このデータの断続的な性質のため、データを連続的に監視することは困難であり、関連の時定数は、ヒステリシス制御を緊急に調整するには長すぎる。したがって、信号強度と、時間と距離の変動を連続的に補償することは難しい。

【0010】上記の背景技術において、この技術分野では、伝送媒体上の分布型高速データ信号の減衰を補償できるデータ・パルス受信機およびその方法が必要であることを示している。

【0011】本発明の目的は、自動ヒステリシス調整が可能なデータ・パルス受信機を提供することにある。

【0012】本発明のさらなる目的は、データ・パルス受信機で用いられるヒステリシス制御信号を生成できる信号処理回路を提供することにある。

【0013】本発明のまたさらなる目的は、データ・パルス受信機中でヒステリシス調整を行う新しい方法を提供することにある。

【0014】

【課題を解決するための手段】本発明の第1の側面によれば、本発明は、データとクロック・チャネルを含む高速データ伝送媒体上で伝播するデータ信号を受信するデータ・パルス受信機において：伝送媒体のデータ・チャネルと結合されデータ・パルスを受信する第1の入力と；伝送媒体のクロック・チャネルと結合されクロック信号を受信する第2の入力と；第2の入力に結合され、クロック信号に基づいて少なくとも部分的にヒステリシス制御信号を生成するヒステリシス生成手段と；第1の入力とヒステリシス生成手段に結合され、ヒステリシス制御信号を受信し、増幅されたデータ・パルスを出力するデータ・パルス検出器とを含むように構成される。

【0015】一例として、データ・パルス検出器は、一

対のトランジスタを含むフリップ・フロップの回路である。ヒステリシス生成手段は、テール電流の制御量をトランジスタと関連負荷抵抗中を通過させる電流源を含む。テール電流の大きさは、回路のデータ・パルス検出レベルを制御する。ヒステリシス生成手段は、クロック信号に基づいてこのテール電流を制御し、データ・パルス検出レベルを連続的に調整する。

【0016】本発明の第2の側面によれば、本発明は、データとクロック・チャネルを含む高速データ伝送媒体上で伝播するデータ信号を受信するデータ・パルス受信機で用いられるヒステリシス制御信号を生成できるパルス検出回路において：上記のパルス検出回路は、伝送媒体のクロック・チャネルに結合されクロック信号を受信する入力と；上記の入力に結合され、クロック信号に基づいて少なくとも部分的にヒステリシス制御信号を生成するためのヒステリシス生成手段とを含み、上記のヒステリシス制御信号は、データ・パルス受信機のデータ・パルス検出器のパルス検出レベルを調整できるように構成される。

【0017】本発明の第3の側面によれば、本発明は、データとクロック・チャネルを含む高速データ伝送媒体上で伝播されるデータ信号を受信する方法において：高速データ伝送媒体のデータ・チャネル上で伝播する信号中の変動を感知し、上記の変動はデータ・パルスを潜在的に表し；高速データ伝送媒体のクロック・チャネル上で伝播するクロック信号を検出し；ヒステリシス制御信号を生成するために、検出されたクロック信号を処理し；上記のヒステリシス制御信号を用いて、上記のデータ・チャネル上で感知されたどの変動がデータ・パルスを表すかを決定することを含むことを特徴とするデータ信号受信方法。

【0018】

【発明の実施の形態】実施の形態1. 図1は、本発明によるデータ・パルス検出器と、データ受信機のコンポーネントの好ましい実施の形態を示す回路図である。データ・パルス検出器100は、ベース104、エミッタ106およびコレクタ108を含むベース接地増幅器102を含む。また、ベース接地増幅器110は、ベース112、エミッタ114およびコレクタ116を含む。ベース104および112は、アース118に接続され、典型的には、1.3ボルトの直流でバイアスされる。

【0019】データ・パルス検出器100を動作させるデータ信号は、入力120と122に印加される。これらの入力のダミー負荷は、抵抗とコンデンサの直列回路を含む。これらの詳細については後述する。検出され増幅されたデータ・パルスは、出力166と168に現れる。

【0020】入力120と122に印加されたデータ信号は、典型的には、図3に示されるタイプのウィリアムソン・カプラから得られる。このカプラは、データとク

ロック・チャネルを含む高速伝送媒体を用いて動作する。差動データ・ドライバ302は、送信チャネル304と306上で、差動信号を送信する。カブラ300は差動信号を検出し、オープン・カブラ出力308と直流接地カブラ出力310上で、差動データ・パルスを出力する。高速データ伝送媒体上で検出される各信号は、個々のウィリアムソン・カブラを必要とする。本発明のデータ・パルス受信機回路は、少なくとも2つのウィリアムソン・カブラが必要となる。1つは、データ信号の検出に必要で、もう1つはクロック信号の検出に必要となる。

【0021】図1に戻ると、直流オープン入力120は、インピーダンス整合抵抗128を介して、増幅器102のエミッタ106に接続される。インピーダンス整合抵抗130は、接地入力122と増幅器110のエミッタ114とを接続する。差動データ・パルスは、カブラ出力308と310のそれぞれから、入力120と122に供給される。バイアス抵抗124は、エミッタ106と外部アース172間に接続される。整合抵抗126は、一端がエミッタ114に接続され、他端が非接続となり、直流バイアス抵抗124の寄生容量によって検出されたオン・チップ基板ノイズを補償する。基板ノイズが最小の場合には、抵抗126は受信機回路から除外されても良い。

【0022】コレクタ108と116は、負荷抵抗142と144をそれぞれ介して正の電源140に接続される。負荷抵抗142および144は、バイポーラ・トランジスタ146および148と共に再生フリップフロップ150を形成する。フリップフロップ150は、データ・パルス検出回路の中心をなし、リターン・ツー・ゼロ(RZ)パルス信号を、ノンリターン・ツー・ゼロ(NRZ)フォーマット出力信号に再変換する。トランジスタ146と48は、共通接続エミッタ152と154、コレクタ156と158およびベース160と162を含む。共通接続エミッタ152と154には戻りパスを有する電流源164が供給され、その挿入電流源164は内部オン・チップ・アース170に対して、テール電流を供給する。NRZフォーマットの出力信号は、相補出力端子166と168に供給される。

【0023】電流源164によって生成されたテール電流は、ヒステリシス制御信号であり、フリップフロップ150のパルス検出レベルを調整する。この制御信号はクロック信号から派生している。詳細については後述する。

【0024】入力122が直流接地カブラ出力310に接続されるとき、インピーダンス整合抵抗130は、増幅器110に対して直流電流パスを接地する。このパスを介して流れる直流電流は、増幅器110をバイアスする。ベース112に1.3ボルトの直流電圧が印加されるとき、典型的な値100オームのインピーダンス整合

抵抗130には、4ミリアンペアのオーダの直流バイアス電流が流れる。

【0025】バイアス抵抗124は、増幅器102の直流電流パスを外部アース172に供給する。ベース104に1.3ボルトの直流電圧が印加されるとき、典型的な値100オームの直流バイアス抵抗124には、4ミリアンペアのオーダの直流バイアス電流が流れる。直流バイアス抵抗124は、ベース接地増幅器102と110の交流特性に対して、大きな不均衡を起こすことはない。なぜなら、これは、ベース接地増幅器102の5オームのオーダのエミッタ・インピーダンスに、並列に接続されているからである。このインピーダンスは、ベース接地増幅器102の直流バイアス電流に依存している。

【0026】抵抗124と130は、非対称カブラ出力308と310が、それぞれの入力に接続されているとき、ベース接地増幅器102と110それぞれに、対称な直流バイアス電流を供給する。

【0027】内部オンチップ・アース170に現れる内部ノイズの影響を減少させるために、増幅器102の直流バイアス電流の戻りパスは、外部アース172によって供給される。したがって、アースにショートされたカブラ出力が外部アースに接続されているときには、外部アースでのノイズは、共通モードノイズとして増幅器に現れる。したがって、このノイズは、受信機100によって阻止され、増幅器は、共通モード干渉反射の影響を実質的には被らない。外部アース172への戻りパスは、内部オンチップ・アース170への戻りパスと比較して、NRZ出力信号のタイミング・ジッタの量を大きく減少させる。

【0028】整合抵抗126は、直流バイアス抵抗124の寄生容量によって検出された基板ノイズを補償する。整合抵抗126の一端は、エミッタ114に接続されるが、他端は接続されないままである。この結果、抵抗124と126の寄生容量によって結合される基板ノイズは、共通のモードノイズとして現れ、阻止される。一方、最小基板ノイズの場合には、抵抗126は上述のように受信機回路から取り除かれてもよい。

【0029】先に述べたように、抵抗132は静電容量134と直列に接続され、直流オープン入力120と内部チップ・アース170間に接続されるダミー回路を形成する。同様に、抵抗136は、静電容量138と直列に接続され、直流接地入力122と内部チップ・アース170間に接続される第2のダミー回路を形成する。したがって、両方のダミー回路は、データ・パルス検出器回路と並列に接続される。図2に示される回路の詳細について述べる際に、この特性について説明する。

【0030】検出器100は、ベース接地増幅器102と110を用いるので、広い帯域幅を有する。入力信号を分流する入力端子120と122に与える寄生容量の

影響は、ベース接地増幅器 102 と 110 のエミッタ 106 と 114 で見られるインダクタンスによって補償される。この影響によって、増幅器 102 と 110 の周波数応答は大幅に拡大される。

【0031】ベース接地増幅器のトランジスタは、一般的には、静電放電電位に耐えるために、非常に大きいものになる。この保護は、並列ダイオード（図示せず）によって増強することができる。この結果、通常、寄生エミッタとベース抵抗は非常に小さいため、トランジスタのサイズによっては、これらのベース抵抗の影響は無視される。ベース接地増幅器の設計は、当業者にとって周知であり、本発明にとってあまり重要ではないため、詳細な説明は省略する。

【0032】上述のように、ベース接地増幅器 102 と 110 は、セット・リセット・フリップフロップ 150 に接続されている。フリップフロップ 150 のテール電流の大きさは、電流源 164 によって調整することができ、ヒステリシス制御信号を形成してヒステリシスの量を制御する。実際には、ヒステリシス制御信号は、特別な入力信号電流を検出するために特定の量になるよう調整される。この入力電流は、フリップフロップ 150 のコレクタ負荷抵抗 142 と 144 を通過する。同時に、フリップフロップ 150 のヒステリシス制御信号は、同じコレクタ負荷抵抗を通過する。したがって、RS フリップフロップ 150 の状態を変えるためには、コレクタ抵抗 142 と 144 中の電流パルスによって作られる電圧は、同じ抵抗内のフリップフロップのヒステリシス制御信号によって作られる電圧より大きくなければいけない。

【0033】理論的には、特定のアプリケーションに合わせるために、外部抵抗または有線接続によって、ヒステリシス制御信号を調整することは可能である。もし入力信号が差動であれば、入力 120 と 122 の両方からの入力信号電流の働きを考慮に入れなければならない。しかしながら、もし入力信号が単に受信機 100 の 1 つの入力にだけ印加されるのであれば、テール電流はヒステリシスと同じ量になるように 2 等分されなければならない。たいていの場合、入力信号は差動になっており、受信機 100 の共通モード入力ノイズを実質的に免れるという利点を持つ。また、標準の通信論理によれば、ヒステリシス・レベルに関する入力ノイズレベルは、 $10^{-14}$  の通信ビット・エラー・レートを得るために、-24 デシベルのオーダでなければならない。

【0034】信号データ受信機の特別なアプリケーションにおいては、入力信号またはデータのレベルは既知でもなく可変でもない。これらの状況下では、一般的に最適なビット・エラー・レートは得られないため、固定されたヒステリシス・レベルは望ましくない。この問題を克服するため、先行技術で提案された技術は、入力データ信号のレベルを監視し、自動手段によってヒステリシ

ス・レベルを調整する。

【0035】受信機 100 の目標となる仕様では、ピーク振幅が 30 ミリボルトでヒステリシス・レベルが 200 ピコ秒以上である入力データパルスを検出できなければならない。このようなデータ・パルスに現れるエネルギーは、非常に小さいので、そのレベルを正確にモニタすることは困難である。この点において、データ・パルスは、検出器 100 によって、RZ（リターン・ツー・ゼロ）フォーマットから、NRZ（ノンリターン・ツー・ゼロ）フォーマットへただちに 변환されなければならない。入力データ・ストリームの振幅を直接監視することは、実際には、困難である。

【0036】入力パルスの高さを正確に監視し、ヒステリシス・レベルを最適に調整できる別の技術がある。検出器 100 の出力 166 と 168 におけるパルスの高さは、主にフリップフロップ 150 のヒステリシス・バイアス電流のレベルによって決定される。入力データ信号の大きさが所定の量だけヒステリシス・レベルを越えたと仮定すると、フリップフロップ 150 は反転し、それによって、出力 166 と 168 の状態が変化する。出力 166 と 168 が差動対として接続されており、フリップフロップ 150 が変化すると、差動対の出力も変化する。さらに、出力 166 と 168 における共通モードの変化は、差動対の出力には現れない。このように、差動対の出力にパルスがあってもなくても、ヒステリシス・レベルは、入力データ・パルスの差動振幅よりも、小さいか大きいかのどちらかである。

【0037】差動対の出力を整流回路に交流結合させることによって、ヒステリシス・レベルが入力データ・パルス・ピーク振幅よりも小さいか大きいかにによって、信号振幅は大きいまたは非常に小さくなる。さらに、整流回路の出力を統合することによって、ヒステリシス・バイアス電流のレベルを調整するために用いられる電圧が得られる。その結局、検出器 100 のヒステリシス・レベルをデータ・パルスのレベルに連続的に調整する自動ヒステリシス調整が得られる。

【0038】しかしながら、この方法にも問題点がある。それは、データ・パルスのピーク振幅に、ヒステリシス・レベルを調整すると、データの受信が確実でなくなるという問題点である。それが不確実になるのは、データ・パルスの振幅が少しでも減少すると、データ・パルスは検出されなくなるからである。第 2 のデータ・パルス検出器を第 1 のデータ・パルス検出器と並列に用いれば、この問題は解決する。第 1 の検出器は、データ・パルスの振幅を監視し、一方、第 2 の検出器は、そのヒステリシス・レベルを第 1 の受信機のヒステリシス・レベルに比例して低い値に設定する。実際、第 2 の検出器のヒステリシス・レベルを、データ・パルスのピークの高さの所望の比率に設定することは可能である。通常、50 パーセントのレベルで、最適のビット・エラー・レ

ート性能が得られる。

【0039】本発明の好ましい実施の形態に、先行技術のヒステリシス制御を直接適用すると、送信されたデータのバースト・モードの性質によって、機能的なエラーが発生する可能性もある。データが散在しており、いかなる特定の時間にも知られていないという状況下では、本発明は、データと同じビット・レートのクロックがデータ信号と同時に送信されることを要求するバックプレーン・システム・アーキテクチャの特徴を有し、データ信号よりむしろクロック信号に依存し、それによってヒステリシス・レベルを十分に制御する。

【0040】バックプレーン構成の特徴を有する典型的な高速データ伝送媒体において、4つの差動データ信号のチャネルは、4ビット・データ・バス中で4ビットデータをデータ送信機からマルチポイント・データ受信機に運ぶ。同期クロック差動信号チャネルを含む第5のビットは、4ビットのデータ・バスを伴い、物理的には4ビットのデータ・バスの中間に位置し、このようにして、対称の5ビット・クロックとデータ・バスを生成する。この構成は、クロック差動接続と4つのデータの差動接続のうちいずれかの1つとの間のタイミング・スキューを最小化するために用いられる。既存のバックプレーンの物理的レイアウト技術によって、クロックとデータ・チャネル特性は正確に一致され、その結果、単一の5ビットのバス中のクロックとデータ信号は、実質的に同じ振幅で、データ受信機に到着する。非同期転送システムの特徴は、データはバースト・モードで動作しているあいだ、同時に発生するクロックとビット同期したまま維持され、クロックの送信が連続的に行われることである。

【0041】本発明によるデータ・パルス受信機は、得られるデータ信号のヒステリシス・レベルを最適にし、バーストモード・データ特性の結果として、変動にあまり左右されない新規の共有ヒステリシス制御信号を発生する。

【0042】図2は、本発明による共有ヒステリシス制御信号を含むデータ・パルス受信機のシステムレベル・ブロック図である。一般的に、データ・パルス受信機は、ヒステリシス制御信号生成器と図1に関連して説明されているタイプの1以上のデータ・パルス検出器の2つの主要な機能的ブロックを含む。これらのデータ・パルス検出器は、ヒステリシス制御信号の値に依存して、閾値検出を実行する。ヒステリシス制御信号生成器208は、ピーク検出用のパルス検出器200を含み、それはクロック信号を入力として受け取る。クロック信号は、実際には、2つの並列パルス検出器200と202によって受信される。パルス検出器200の出力は、ピーク検出器206を駆動させる。このピーク検出器206は、フィードバックによって、パルス検出器200と202の両方のヒステリシス・レベルを制御する。こ

で、パルス検出器202は実際にはクロック信号の再生に関係している。この結果、パルス検出器200のヒステリシス・レベルは、クロック信号のピーク振幅を十分に監視するように調整される。同じピーク検出器206は、他のパルス検出器を低速で特定のヒステリシス・レベルで駆動するように設定される他の出力を有する。例えば、他のヒステリシス・レベルと第1のヒステリシス・レベルとの割合は、典型的には50パーセントであるため、他のパルス検出器は、データ・アイを中間点でスライスする。これらの他のパルス検出器は、以下のように用いられる。1つは第2のクロックパルス検出器202であり、これはクロック信号を再生し、他はパルス検出器100であり、これはクロック再生回路に従属しており、クロック再生回路と同じヒステリシス・レベルを有するデータ信号を受信する。したがって、データ・パルス検出器のヒステリシス・レベルは、データが本来バースト信号であっても、連続的に、ピーク・データ信号の50パーセントに設定できる。

【0043】図4は、クロック再生回路を含み、特に、自動ヒステリシス調整を含むデータ・パルス受信機であるヒステリシス制御信号生成器208の回路の詳細を示す図である。ソースでのクロック振幅は、データの振幅と同一になるように特定され、またデータ・レートは同一であるため、伝送の質はクロックとデータについて同一である。この結果、本来連続的であるクロックはデータ受信機で監視され、データのレベルはクロックのレベルから推測される。これは、その後、クロックに関するデータラインに対してヒステリシス・レベルを調整するために用いられる。

【0044】ヒステリシス制御信号生成器208の一部を成すパルス検出器200と202は同一である。パルス検出器200の概略図は図5に示される。パルス検出器202は、パルス検出ステージ200と同じ図で表されるため、詳細説明は省略する。図5に示されるこれらのシリアル・マルチGb/sパルス検出器は、図1に示されるパルス検出器100と同一であるが、例外として、図1のダミーのRC回路は1つの静電容量で置き換えられる。それ以外については、全ての機能は、図1の回路に関する上述の説明と同じである。

【0045】図4において、トランジスタ406、408、412、432および434は、すべて同じサイズである。Pチャネル電界効果トランジスタ(FET)414、416および418は、異なるサイズである。特に、FETトランジスタ414と416の相互コンダクタンスの割合は、それぞれ、検出器200と202からの電流シンクの割合を決定する。トランジスタ対410と412、432と434は、1対1のミラーを構成し、FETトランジスタ414と416による電流源をそれぞれミラーリングするために用いられる。もし、FETトランジスタ418の相互コンダクタンスが、FE



Tトランジスタ416の相互コンダクタンスよりも小さければ、FETトランジスタ418と416のPチャネルFETミラーは電流ゲインを示す。この電流ゲインによって、パルスの高さはより正確に検出できるようになる。これは利点である。本発明の好ましい実施の形態において、FETトランジスタ418、416、414のチャネル長は等しい。また、チャネルの幅は、それぞれ1対5対10である。この構成で、検出器202のヒステリシス・レベルは、データ・ピーク振幅の半分に設定される。

【0046】パルス検出器200の差動出力は、トランジスタ406と408の差動対に供給される。これらのトランジスタは、パルス検出器200の出力が切り替わると、切り替わる。これは、クロック・パルス・ピーク振幅が、パルス検出器200のヒステリシス・レベルよりも大きいときに起こる。トランジスタ406、408の差動対の出力は、負荷抵抗404から取り出され、静電容量438を介して、2つの抵抗424および426と、トランジスタ422から成る検出ユニットに交流結合される。実際の回路では、並列に接続された付加的な検出ユニットを有する負荷抵抗402からの出力を用いることもできる。それによって、検出ユニットの感度を高くすることができる。簡略化のために、第2の検出ユニットは、図4には示されていない。

【0047】抵抗424と426およびトランジスタ422から成る検出ユニットは、基準電圧442によってバイアスされる。抵抗424と426の割合は、トランジスタ422のベース電圧がダイオード電圧降下より小さい値、例えば、0.75ボルトになるように選択される。パルスが静電容量438を介してトランジスタ422のベースに印加されると、ベース上の電位は瞬間的に高くなり、そのために、トランジスタ422には、FET418のゲート電位を低くするような電流が流れる。抵抗420と関連する静電容量428は、トランジスタ422からのパルス化電流を積分するために用いられ、FETトランジスタ418、416および414の電流は、緩慢に変化する。これらのトランジスタ中の電流の最小値は、抵抗430によって設定され、それによって、ヒステリシスの最小レベルが設定される。これは、入力データがない場合には、ノイズパルスによる出力「チャタリング」を防止するために有益である。

【0048】クロック信号から派生したヒステリシス・レベルが、データ・パルス検出器に正確に印加されるためには、5つのすべてのクロックとデータ・パルス検出器は同一であることが好ましい。図2に示すように、ヒステリシス制御信号生成器208は、2つの並列パルス検出器からなる。そのうちの1つは、ピーク検出用であり、もう1つはクロック再生用である。ピーク検出回路

は連続的なクロック入力信号上で厳密に検出されているため、データ・パルス検出器は、それ自身のピーク検出回路を必要としない。インピーダンスが不均衡にならないように、図1に示され、また上述されたように、シリアル・データ・パルス検出器には、ダミーのRC回路が供給される。このダミー回路の主な機能は、外部バスに与えられるデータとクロックのパルス検出器の入力インピーダンスをすべて同一にし、理想的には、それぞれ、50オームになるようにすることである。図1に示される適切なダミー回路は、バースト・モード・データ伝送に対してバックプレーン上の信号強度の完全な変化を連続的に補償する。

【0049】本発明の好ましい実施の形態について上述したが、これは、限定的に解釈すべきではなく、本発明の主旨から外れなければ、修正または変化させることもできる。本発明の範囲は、クレームとそれの均等物において定義される。

#### 【図面の簡単な説明】

【図1】 本発明による入力並列ダミーロードを有するデータ・パルス検出器の回路を示す図である。

【図2】 本発明によるクロック信号から派生された共有ヒステリシス制御信号を含むデータ・パルス受信機回路のシステム・レベルを示す図である。

【図3】 ウィリアムソン・カブラの回路を示す図である。

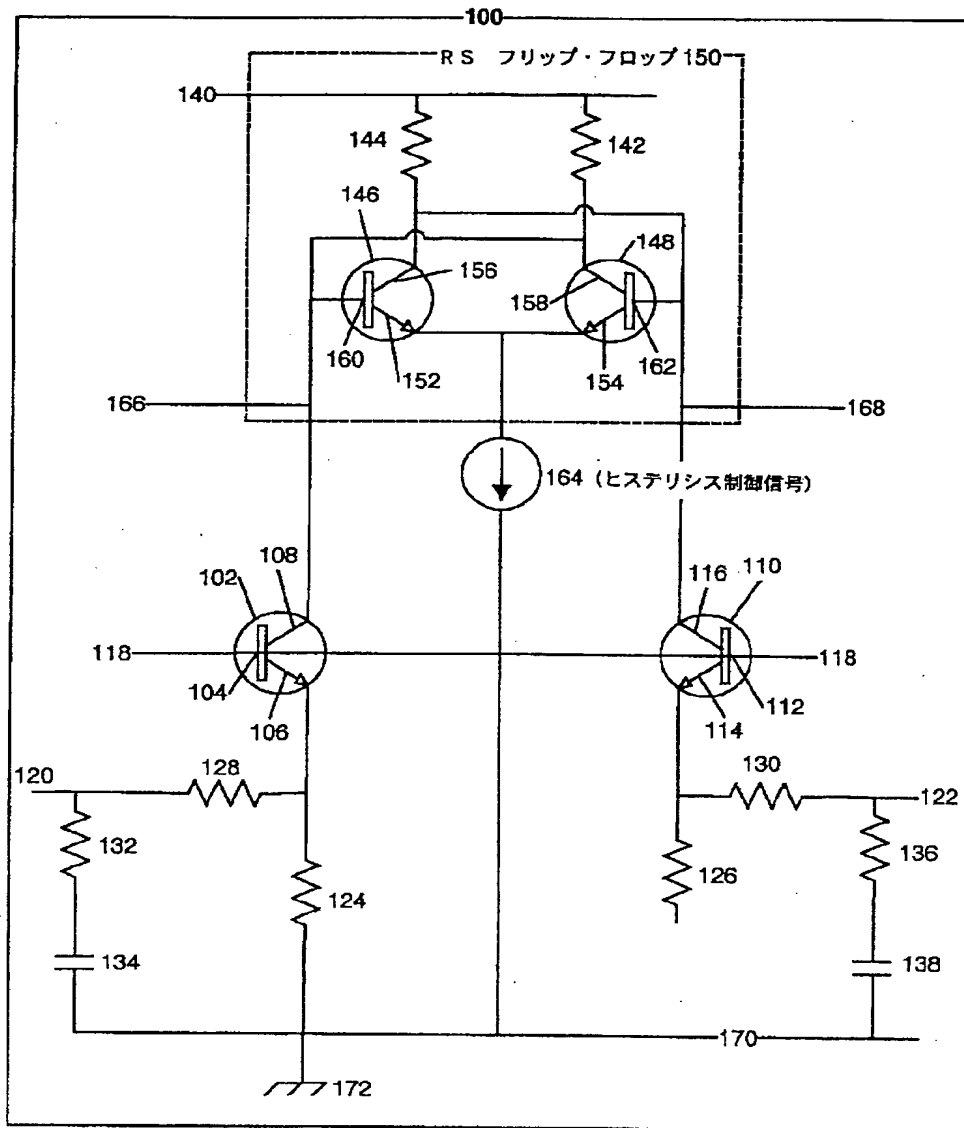
【図4】 ヒステリシス制御信号を生成する回路を示す図である。

【図5】 図4に示されるタイプのシリアル・マルチGb/sのデータ・パルス検出器の回路を示す図である。

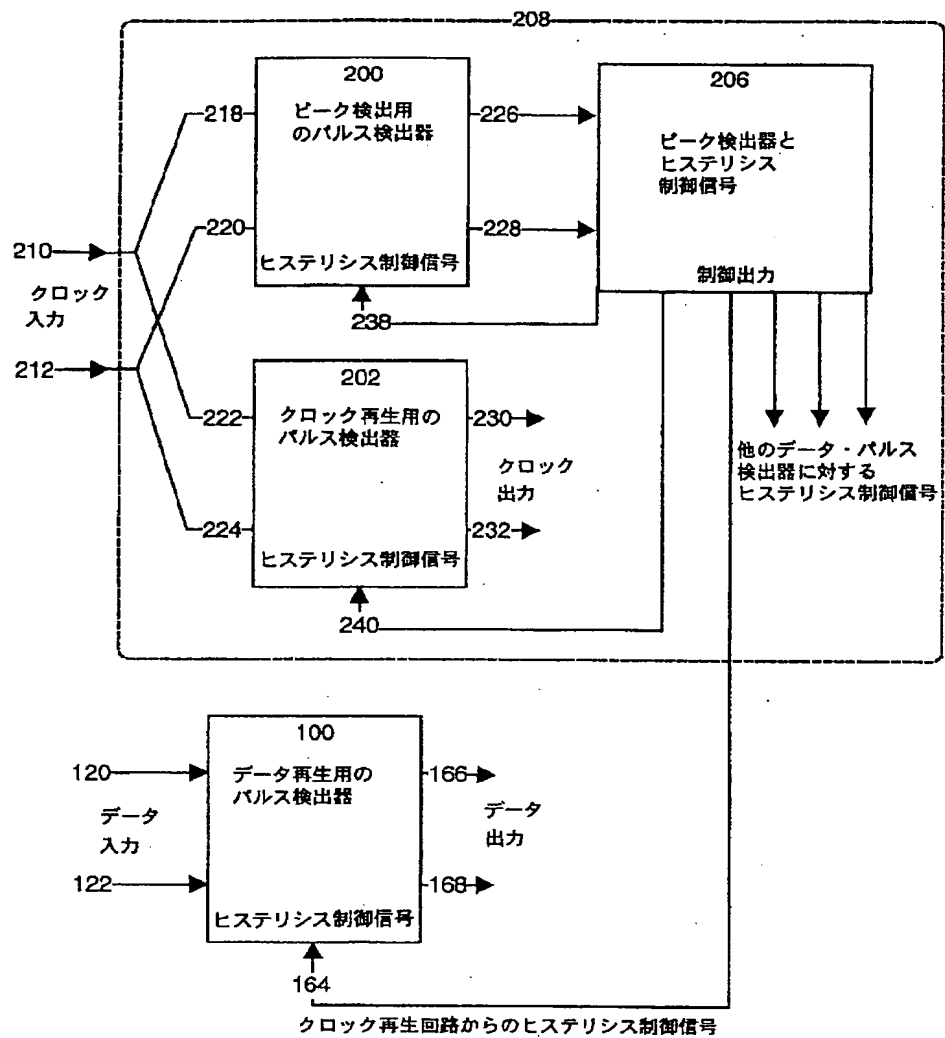
#### 【符号の説明】

100…データ・パルス検出器  
102、110…ベース接地増幅器  
104、112…ベース  
106、114…エミッタ  
108、116…コレクタ  
118…アース  
120、122…データ入力  
128、130…インピーダンス整合抵抗  
124、126、128、130、132、136…抵抗  
134、138…静電容量  
164…電流源  
166、168…出力端子  
170…内部オン・チップ・アース  
172…外部アース  
200、202…パルス検出器  
206…ピーク検出器  
208…ヒステリシス制御信号生成器

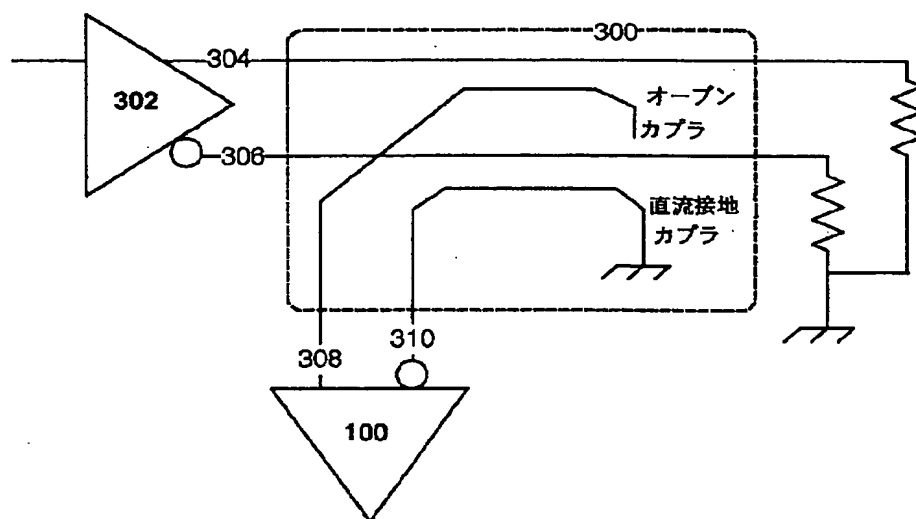
【図 1】



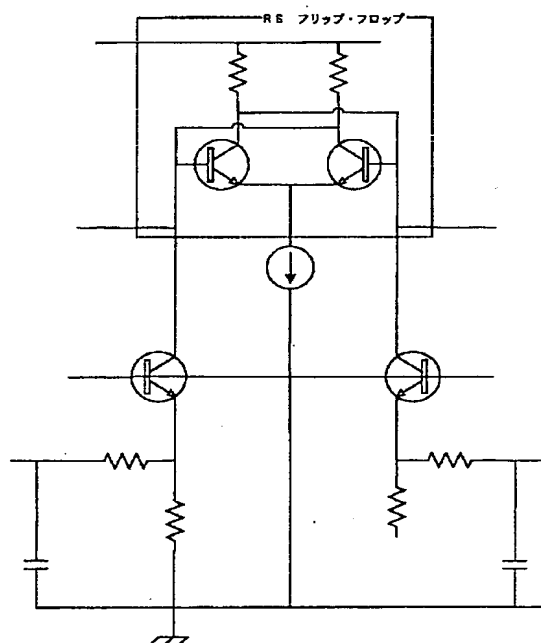
【図 2】



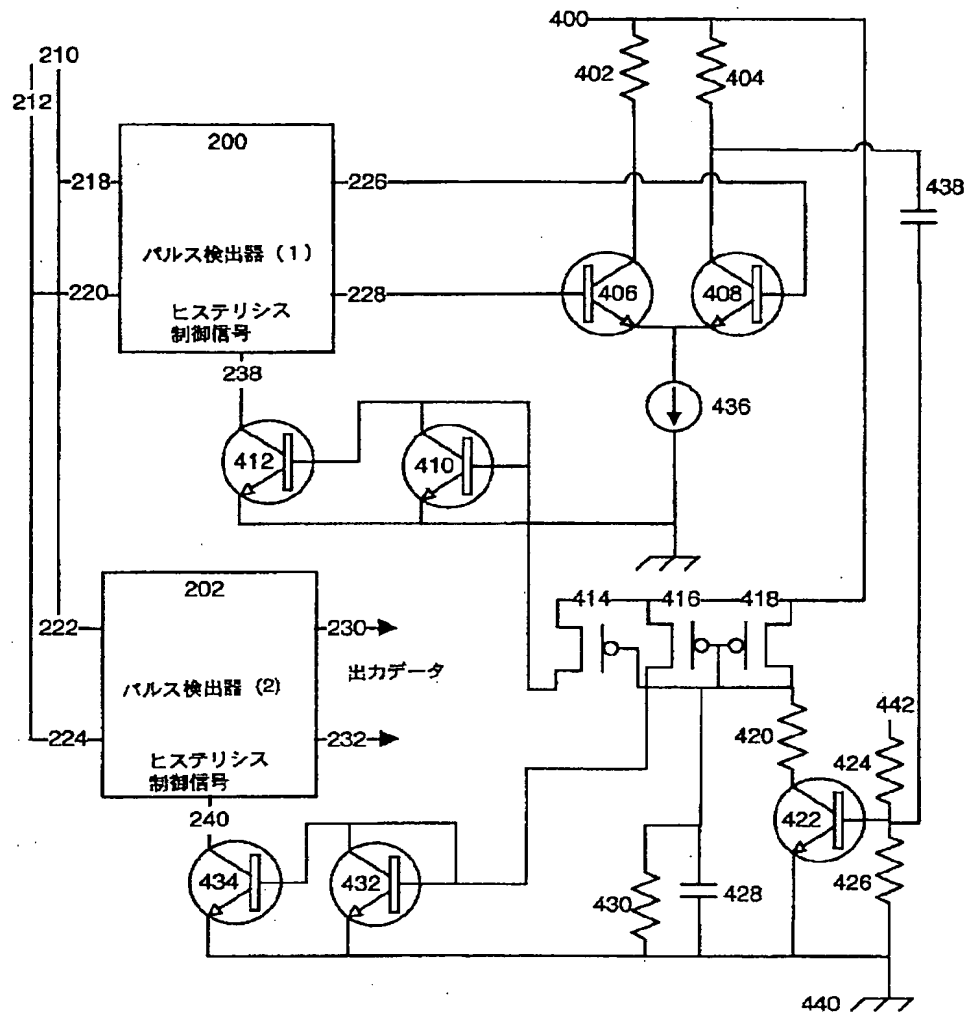
【図 3】



【図 5】



【図 4】



フロントページの続き

(71)出願人 390023157

THE WORLD TRADE CEN  
TRE OF MONTREAL, MON  
TREAL, QUEBEC H2Y3Y  
4, CANADA

(72)発明者 アンソニー・ケイ・デール・ブラウン

カナダ国, ケイ 2 エム 1 シー 1, オンタ  
リオ, カナタ, エクエストリアン ドライ  
ブ 26